

PATENT

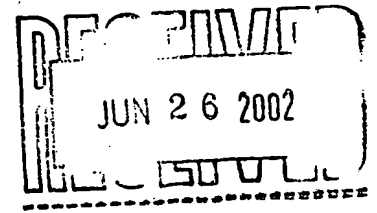
Docket No.: 8289-US-PA

2812
8-27-2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Large application of
Applicant : Chi-Hsing Hsu et al.
Application No. : 10/063,572
Filed : May 03, 2002
For : WAFER LEVEL PACKAGING AND CHIP STRUCTURE
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231



Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
090132737, filed on: December 28, 2001.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: June 18, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

RECEIVED
JUN 21 2002
TECHNOLOGY CENTER 2800



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2001 年 12 月 28 日
Application Date

申請案號：090132737
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

2002 5

發文日期：西元 年 月
Issue Date

發文字號：09111009023
Serial No.

RECEIVED
JUN 21 2002
TECHNOLOGY CENTER 2800

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	晶圓級封裝製程及其晶片結構
	英 文	
二、發明 創作人	姓 名	許志行
	國 籍	中華民國
	住、居所	台北縣新莊市昌隆街 23 號 9 樓之 1
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

經濟部智慧財產局員工消費合作社印製

裝 訂 線

四、中文發明摘要 (發明之名稱：晶圓級封裝製程及其晶片結構)

一種晶片結構，至少包括：一晶圓、一絕緣層、一導電膠、多個球墊、一焊罩層及多個焊球。其中晶片具有一主動表面，而絕緣層配置在晶片之主動表面上，絕緣層具有多個開口，開口貫穿絕緣層。導電膠填充於開口中，且多個球墊配置在絕緣層上，並且會與導電膠電性連接。而焊罩層覆蓋在絕緣層上，並且焊罩層會暴露出球墊，另外，焊球係分別配置在球墊上。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（ / ）

本發明是有關於一種晶圓級封裝，且特別是有關於一種可以解決晶片與主機板間熱膨脹係數差異問題的晶圓級封裝。

在現今資訊爆炸的社會，電子產品遍佈於日常生活中，無論在食衣住行育樂方面，都會用到積體電路元件所組成的產品。隨著電子科技不斷地演進，功能性更複雜、更人性化的產品推陳出新，就電子產品外觀而言，也朝向輕、薄、短、小的趨勢設計，因此在半導體構裝技術上，開發出許多高密度半導體封裝的形式。而透過晶片尺寸構裝(Chip Scale Package)技術可以達到上述的目的，其所製作完成的封裝體之截面尺寸係與晶片之截面尺寸大致相同，故晶片尺寸構裝的體積很小，因此廣泛地應用在半導體封裝的技術上。其中，達成晶片尺寸構裝的技術有很多種，其中一種是利用晶圓級封裝的手段，來達到晶片尺寸構裝的目的。顧名思義，晶圓級封裝就是在晶圓切割完成時，晶片的封裝便完成。

就其製程而言，首先要提供一晶圓，晶圓係由多個晶片所組成，切割道(scribe-line)環繞於相鄰的晶片之間。然後製作重配置線路結構體(redistribution layer)到晶圓之主動表面上，接著形成凸塊到重配置線路結構體上，之後進行晶圓切割的製程，在切割的同時會使晶片及晶片上之重配置線路結構體與鄰接之相同結構體相互分離，而形成獨立的覆晶封裝體 100，如第 1 圖所示，如此在晶圓切割完成時，覆晶晶片及其封裝體便製作完成，其中第 1 圖繪

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(二)

示習知晶圓級覆晶封裝之剖面放大示意圖。其中每一覆晶封裝體 100 包括一晶片 110、一重配置線路結構體 120 及多個凸塊 130，其中晶片 110 具有多個焊墊 114，位在晶片 110 之主動表面 112 上，而重配置線路結構體 120 係位在晶片 110 之主動表面 112 上，重配置線路結構體 120 具有絕緣結構體 122 及金屬線路結構體 124，而金屬線路結構體 124 會交錯於絕緣結構體 122 中，並且金屬線路結構體 124 會與焊墊 114 電性連接。另外，凸塊 130 係位在重配置線路結構體 120 上，並且會與金屬線路結構體 124 電性連接。

而覆晶封裝體 100 一般會連接到一基板 140 上，而基板 140 具有多個凸塊墊 144 及多個焊球墊 148，分別位在基板 140 之上表面 142 上及下表面 146 上。此時，可以進行迴焊製程，在灑下助焊劑(未繪示)之後，透過加熱的方式，覆晶封裝體 100 之凸塊 130 會接合到基板 140 之凸塊墊 144 上。然後填入一填充材料 150 到覆晶封裝體 100 與基板 140 之間，使得填充材料 150 會包覆凸塊 130。之後，還要植上多個焊球 160 到焊球墊 148 上，透過焊球 160，基板 140 可以與一印刷電路板(未繪示)電性連接。

由於晶片 110 與基板 140 間熱膨脹係數的不同，因此在上述製程中必須要將填充材料 150 填入於晶片 110 與基板 140 之間，以防止在熱循環時所產生的熱應力，造成凸塊 130 破裂的情形發生。然而，由於晶片 110 與基板 140 之間的間隙非常小，在填入填充材料 150 時，係以毛細現

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

象的方式，填充材料 150 才能緩慢地流入到覆晶封裝體 100 與基板 140 之間，如此在製程上甚為耗時，而成本亦較高，並且填充材料 150 不易完全填充到覆晶封裝體 100 與基板 140 之間，而留有空隙存在。再者，由於凸塊 130 的兩端係分別與晶片 110 上之重配置線路結構體 120 及基板 140 之凸塊墊 144 接合，如此容易因為晶片 110 與基板 140 間所造成的熱應力，對凸塊 130 產生剪力的作用，使得凸塊 130 會沿著橫向的方向有破裂的情形產生。

因此本發明的目的之一就是在提供一種晶圓級封裝結構及其製程，可以降低成本。

本發明的目的之二就是在提供一種晶圓級封裝結構及其製程，可以解決因為晶圓與基板間熱膨脹係數的不同，所造成的問題。

為達成本發明之上述和其他目的，提出一種晶片結構，至少包括：一晶圓、一絕緣層、一導電膠、多個球墊、一焊罩層及多個焊球。其中晶片具有一主動表面，而絕緣層配置在晶片之主動表面上，絕緣層具有多個開口，開口貫穿絕緣層。導電膠填充於開口中，且多個球墊配置在絕緣層上，並且會與導電膠電性連接。而焊罩層覆蓋在絕緣層上，並且焊罩層會暴露出球墊，另外，焊球係分別配置在球墊上。

另外，就結構上而言，依照本發明之一較佳實施例，一重配置線路結構體可以配置在絕緣層與晶片之間，而重配置線路結構體具有一絕緣結構體及一金屬線路結構體，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（4）

金屬線路結構體係交錯於絕緣結構體中，而金屬線路結構體電性連接於導電膠及晶片。此外，開口中亦可以具有凸塊，而導電膠會與凸塊電性連接。

為達成本發明之上述和其他目的，提出一種晶圓級封裝製程，首先提供一晶圓，此晶圓具有一主動表面，接著形成一絕緣層在晶圓之主動表面上。接著形成多個開口於絕緣層中，而開口貫穿絕緣層。接著填入導電膠於開口中，並且形成一金屬層於絕緣層表面上，再將金屬層定義出多個球墊，而球墊會與導電膠電性連接。接著形成一焊罩層於絕緣層表面上，該焊罩層會暴露出球墊，並且植接多個焊球於球墊上。最後切割晶圓及絕緣層。

依照本發明的一較佳實施例，其中形成絕緣層到晶圓之主動表面上之前，還包括進行一製作重配置線路結構體製程，而將一重配置線路結構體形成到晶圓之主動表面上，接著才形成絕緣層到重配置線路結構體上。另外，晶圓還具有多個凸塊，配置在晶圓之主動表面上，而凸塊係位在絕緣層之開口中。

在上述之晶圓級封裝結構中，由於導電膠包覆於凸塊的周圍，而凸塊可以透過導電膠電性傳導至焊球上，並且因為導電膠的延展性甚佳，因此當晶圓與印刷電路板間具有因熱而產生的形變時，藉由導電膠的配置可以大幅減少晶圓與印刷電路板間所造成的熱應力，如此習知凸塊破裂的情形便不會發生。另外，本發明所切割下來之獨立封裝體的體積甚小，其獨立之封裝體的截面積係與晶片之截

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

面積一致，並且由於凸塊係位在絕緣層之開口中，因此更可以降低獨立封裝體之高度。此外，本發明之晶圓級封裝製程係將習知的晶片與基板分開製作的方式整合成一體，故其生產成本更為低廉。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知晶圓級封裝之剖面放大示意圖。

第 2 圖至第 9 圖繪示依照本發明第一較佳實施例的一種晶圓級封裝製程之放大示意圖。

第 10 圖繪示依照本發明第二較佳實施例之晶圓級封裝結構的示意圖。

第 11 圖繪示依照本發明第三較佳實施例之晶圓級封裝結構的示意圖。

第 12 圖繪示依照本發明第四較佳實施例之晶圓級封裝結構的示意圖。

第 13 圖繪示依照本發明第五較佳實施例之晶圓級封裝結構的示意圖。

圖式之標示說明：

100：覆晶構裝體

110、211、510：晶片

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(七)

112、212、312；512：主動表面

114、214、314、514：焊墊

120、220、420：重配置線路結構體

122、222：絕緣結構體

124、224：金屬線路結構體

130、230、330、430：凸塊

140：基板

142、228：上表面

144：凸塊墊

146：下表面

148：焊球墊

150：填充材料

160、280、580：焊球

200、300：封裝體

210、310：晶圓

213：主動側

226：接點

240、340、440、540：絕緣層

242、342、442、542：開口

244：絕緣層表面

250、450、550：導電膠

260、460：金屬層

262、272、462、562：球墊

270：焊罩層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

290：印刷電路板

464：線路

實施例

請參照第 2 圖至第 9 圖，其繪示依照本發明第一較佳實施例的一種晶圓級封裝製程之放大示意圖。請先參照第 2 圖，首先提供一晶圓 210，晶圓 210 係由多個晶片 211 所組成(在第 2 圖中僅繪示出其中的一個)，晶圓 210 具有一主動表面 212，而晶圓 210 還具有多個焊墊 214，配置在晶圓 210 之主動表面 212 上。另外，定義晶圓 210 具有一主動側 213，晶圓 210 之半導體元件(未繪示)及焊墊 214 係位在主動側 213，而在晶圓 210 之主動側 213 最外層的表面係為主動表面 212。

然後製作一重配置線路結構體 220 於晶圓 210 之主動表面 212 上(亦即配置在晶圓 210 之主動側)，而重配置線路結構體 220 具有一絕緣結構體 222、一金屬線路結構體 224 及多個接點 226，接點 226 係暴露出重配置線路結構體 220 的上表面 228，而金屬線路結構體 224 係交錯於絕緣結構體 222 中，並且透過金屬線路結構體 224 會使晶圓 210 之焊墊 214 與接點 226 電性連接。然後可以利用網板印刷的方式或是微影電鍍的方式，形成多個凸塊 230 到接點 226 上，其中凸塊 230 的材質可以是錫銀銅合金、錫鈹合金、錫鉛合金、鎳金合金或是金。

請參照第 3 圖，接下來以熱壓合的方式或是旋塗的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

方式，形成一絕緣層 240 在重配置線路結構體 220 的上表面 228 上(亦即配置在晶圓 210 之主動側 213)，並且絕緣層 240 會包覆凸塊 230，其中絕緣層 240 的材質可以是高分子聚合物，比如是環氧樹脂(Epoxy)、聚醯亞胺(polyimide, PI)，而絕緣層 240 具有一絕緣層表面 244。

請參照第 4 圖，然後可以利用微影蝕刻的方式或是雷射鑽孔的方式，形成多個開口 242 於絕緣層 240 中，開口 242 的位置係對應凸塊 230 的位置，而開口 242 係貫穿絕緣層 240，並且藉由開口 242 會使得凸塊 230 暴露出絕緣層 240。接著填入一導電膠 250 於絕緣層 240 之開口 242 中，而導電膠 250 會電性連接凸塊 230，其中導電膠 250 為含銀或銅等材料之樹脂。

請參照第 5 圖，然後利用壓合、濺鍍、或電鍍等方式，將一金屬層 260 製作於絕緣層表面 244 上，其中金屬層 260 的材質可以是銅。

請參照第 5 圖及第 6 圖，然後利用微影蝕刻的方式，將金屬層 260 定義出多個球墊 262，而球墊 262 係位在導電膠 250 上。

請參照第 7 圖，接下來以網板印刷的方式，形成一焊罩層 270 於絕緣層表面 244 上，並且焊罩層 270 具有多個開口 272，以暴露出球墊 262。

請參照第 8 圖，然後植上多個焊球 280 於球墊 262 上。最後再切割晶圓 210、重配置線路結構體 220 及絕緣層 240，而分別形成多個獨立的封裝體 200。如此切割下

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(9)

來之獨立的封裝體 200，可以藉由焊球 280 使晶片 211 與印刷電路板 290 之接點 292 接合，形成如第 9 圖所示的結構。

請參照第 2 圖至第 9 圖，在上述之晶圓級封裝結構中，由於導電膠 250 電性連接於凸塊 230 的周圍，而凸塊 230 可以透過導電膠 250 電性傳導至焊球 280 上，並且因為導電膠 250 的延展性甚佳，因此當晶片 211 與印刷電路板 290 間具有因熱而產生的形變時，藉由導電膠 250 的配置可以大幅減少晶片 211 與印刷電路板 290 間所造成的熱應力，如此習知凸塊破裂的情形便不會發生。

另外，切割下來之獨立的封裝體 200 的體積甚小，其獨立之封裝體 200 的截面積係與晶片 211 之截面積一致，並且由於凸塊 230 係位在絕緣層 240 之開口 242 中，因此更可以降低獨立封裝體 200 之高度。此外，本發明之晶圓級封裝製程係將習知的晶片與基板分開製作的方式整合成一體，故其生產成本更為低廉。

就現今技術而言，由於與印刷電路板接合的焊球，其最小間距係介於 300 微米到 500 微米之間，然而焊墊的間距可以小到僅只有 50 微米，如此其必須利用重配置線路的設計，將其連外接點重新佈局，使得製作出焊球的間距能夠達到與印刷電路板接合之目的。其中，重配置線路的設計，除了上述第一較佳實施例所述的方式之外，亦可以是其他方式，如下所述。

請參照第 10 圖，其繪示依照本發明第二較佳實施

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

例之晶圓級封裝結構的示意圖，其中絕緣層 340 係直接形成於晶圓 310 之主動表面 312 上，而藉由絕緣層 340 之開口 342 可以暴露出焊墊 314。並且藉由微影蝕刻的方式可以將金屬層 360 定義出多個線路 364 及多個球墊 362，以進行線路重配置的動作，而將球墊 362 配置到適於植上焊球 380 的位置。另外，絕緣層 340 之開口 342 中可以設計成不具有凸塊的形式，而整個開口 342 係完全填入導電膠 350。如此不需凸塊，就可以進行晶圓級封裝製程，因此可以省去製作凸塊的步驟，同時亦會降低生產成本。然而，如第 11 圖所示，其繪示依照本發明第三較佳實施例之晶圓級封裝結構的示意圖，亦可以製作凸塊 330 於絕緣層 340 的開口 342 中，由於凸塊 330 係為金屬，其導電性能大於導電膠 350，因此透過凸塊 330 的配置可以增進封裝體 300 之導電性能。而其餘元件的配置，均與第二較佳實施例雷同，在此便不再贅述。

另外，請參照第 12 圖，其繪示依照本發明第四較佳實施例之晶圓級封裝結構的示意圖。當上游廠商在製作重配置線路結構體 420 之後，若是其形成凸塊 430 的位置並未與印刷電路板(未繪示)之接點相對應時，亦可以在製作金屬層 460 時，再進行重配置線路的動作，使得球墊 462 的位置可以與印刷電路板之接點的位置相配合，而球墊 462 可以透過線路 464 與導電膠 450 電性連接。另外，絕緣層 440 之開口 442 中亦可以設計成不具有凸塊的形式，而將整個開口 442 填入導電膠 450。

五、發明說明（//）

在上述的實施例中，係透過重配置線路結構體或金屬層進行重配置線路的動作，使得球墊的位置能夠與印刷電路板之接點的位置相對應，並且可以使相鄰之焊球間具有足夠的間距。然而本發明並非僅限於如上所述的應用，亦可以設計成晶片 510 之焊墊 514 配置與印刷電路板(未繪示)之接點配置係為相對應者，如第 13 圖所示，其繪示依照本發明第五較佳實施例之晶圓級封裝結構的示意圖。如此就不需在晶片 510 之主動表面 512 上製作重配置線路結構體，而球墊 562 係配製在絕緣層 540 之開口 542 內的導電膠 550 上，並且焊球 580 的配置係與焊墊 514 的配置相對應。另外，亦可以製作凸塊於絕緣層 540 的開口 542 中，而透過凸塊的配置能增進封裝體之導電性能。

因此，不論上游廠商是否已經製作好凸塊，皆可應用本發明之晶圓級封裝方法，使得晶片在封裝完成之後，便可以透過焊球直接與印刷電路板接合。故就封裝體之結構上而言，絕緣層之開口中可以具有凸塊，亦可以不具有凸塊。

另外，本發明之絕緣層之開口中具有導電膠的結構，並非僅應用在上述的實施例中，亦可以應用在其他的方面，比如是應用在基板的製作上等。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶圓級封裝結構及其製程，由於導電膠包覆於凸塊的周圍，而凸塊可以透過導電膠電性傳導至焊球上，並且因為導電膠的延展性甚佳，因此當晶片與印刷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（12）

電路板間具有因熱而產生的形變時，藉由導電膠的配置可以大幅減少晶片與印刷電路板間所造成的熱應力，如此習知凸塊破裂的情形便不會發生。

2.本發明之晶圓級封裝結構及其製程，其最後所切割下來之獨立封裝體的體積甚小，而獨立封裝體的截面積會與晶片之截面積一致，並且由於凸塊係位在絕緣層之開口中，因此更可以降低獨立封裝體之高度。

3.本發明之晶圓級封裝結構及其製程，可以使生產成本更為低廉。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

六、申請專利範圍

1.一種晶圓級封裝製程，至少包括：

提供一晶圓，該晶圓上製作有複數個晶粒，而該晶圓具有一主動側；

形成一絕緣層在該晶圓之該主動側，而該絕緣層具有一絕緣層表面；

形成複數個開口於該絕緣層中，而該些開口貫穿該絕緣層；

填入一導電膠於該些開口中；

形成一金屬層於該絕緣層表面上；

定義該金屬層以形成複數個球墊，而該些球墊會與該導電膠電性連接；

形成一焊罩層於絕緣層表面上，並且該焊罩層會暴露出該些球墊；

形成複數個焊球於該些球墊上；以及

切割該晶圓及該絕緣層，而形成該複數個晶粒的封裝體結構。

2.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中係以旋塗的方式形成該絕緣層在該晶圓之主動側。

3.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中係以壓合的方式形成該絕緣層在該晶圓之主動側。

4.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中係以微影蝕刻的方式形成該些開口於該絕緣層中。

5.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中係以雷射鑽孔的方式形成該些開口於該絕緣層中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中係以微影蝕刻的方式在該金屬層上定義出該些球墊。

7.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中該絕緣層係為聚醯亞胺。

8.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中該絕緣層係為環氧樹脂。

9.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中該晶圓還具有複數個凸塊，配置在該晶圓之該主動側，而該些凸塊係位在該絕緣層之該些開口中。

10.如申請專利範圍第 9 項所述之晶圓級封裝製程，其中該些凸塊的材質係為錫鉛合金。

11.如申請專利範圍第 9 項所述之晶圓級封裝製程，其中該些凸塊的材質係為鎳金合金。

12.如申請專利範圍第 9 項所述之晶圓級封裝製程，其中該些凸塊的材質係為金。

13.如申請專利範圍第 9 項所述之晶圓級封裝製程，其中該些凸塊的材質係為錫銀銅合金。

14.如申請專利範圍第 9 項所述之晶圓級封裝製程，其中該些凸塊的材質係為錫鈹合金。

15.如申請專利範圍第 1 項所述之晶圓級封裝製程，其中在形成該絕緣層到該晶圓之該主動側之前，更包括形成一製作重配置線路結構體(Redistribution Layer)在該晶圓之該主動側。

16.一種在晶圓上形成具有導電膠插塞(Plug)之絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

層的製程，至少包括：

提供一晶圓，該晶圓上製作有複數個晶粒，而該晶圓具有一主動側；

形成一絕緣層在該晶圓之該主動側；

形成至少一開口於該絕緣層中；以及

填入一導電膠於該開口中。

17.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中係以旋塗的方式形成該絕緣層在該晶圓之該主動側。

18.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中係以壓合的方式形成該絕緣層在該晶圓之主動側。

19.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中係以微影蝕刻的方式形成該開口於該絕緣層中。

20.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中係以雷射鑽孔的方式形成該開口於該絕緣層中。

21.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該絕緣層係為聚醯亞胺。

22.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該絕緣層係為環氧樹脂。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

23.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該晶圓還具有至少一凸塊，配置在該晶圓之該主動側，而該凸塊係位在該絕緣層之該開口中。

24.如申請專利範圍第 23 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該凸塊的材質係為錫鉛合金。

25.如申請專利範圍第 23 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該凸塊的材質係為鎳金合金。

26.如申請專利範圍第 23 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該凸塊的材質係為金。

27.如申請專利範圍第 23 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該些凸塊的材質係為錫銀銅合金。

28.如申請專利範圍第 23 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中該些凸塊的材質係為錫鉍合金。

29.如申請專利範圍第 16 項所述之在晶圓上形成具有導電膠插塞之絕緣層的製作過程，其中在形成該絕緣層到該晶圓之該主動側之前，更包括形成一製作重配置線路結構體(Redistribution Layer)在該晶圓之該主動側。

30.一種晶片封裝體結構，至少包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一晶片，該晶片具有一主動側；

一絕緣層，配置在該晶圓之該主動側，該絕緣層具有複數個開口，該些開口貫穿該絕緣層；

一導電膠，該導電膠填充於該些開口中；

複數個球墊，配置在該絕緣層上，並且與該導電膠電性連接；

一焊罩層，該焊罩層覆蓋該絕緣層，並且該焊罩層會暴露出該些球墊；以及

複數個焊球，分別配置在該些球墊上。

31.如申請專利範圍第 30 項所述之晶片封裝體結構，更包括一重配置線路結構體(Redistribution Layer)，位在該絕緣層與該晶片之間，該重配置線路結構體具有一絕緣結構體及一金屬線路結構體，該金屬線路結構體係交錯於該絕緣結構體中，而該金屬線路結構體電性連接於該導電膠及該晶片。

32.如申請專利範圍第 30 項所述之晶片封裝體結構，更包括複數個凸塊，分別配置在該些開口中，而該導電膠與該些凸塊電性連接。

33.如申請專利範圍第 32 項所述之晶片封裝體結構，其中該些凸塊的材質係為錫鉛合金。

34.如申請專利範圍第 32 項所述之晶片封裝體結構，其中該些凸塊的材質係為鎳金合金。

35.如申請專利範圍第 32 項所述之晶片封裝體結構，其中該些凸塊的材質係為金。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

36.如申請專利範圍第 32 項所述之晶片封裝體結構，其中該些凸塊的材質係為錫銀銅合金。

37.如申請專利範圍第 32 項所述之晶片封裝體結構，其中該些凸塊的材質係為錫鈹合金。

38.如申請專利範圍第 30 項所述之晶片封裝體結構，其中該絕緣層係為聚醯亞胺。

39.如申請專利範圍第 30 項所述之晶圓級封裝製程，其中該絕緣層係為環氧樹脂。

40.一種具有導電膠插塞(Plug)之絕緣層結構，係配置在一晶片封裝體結構中，至少包括：

一絕緣層，該絕緣層配置在該晶片之該主動側，而該絕緣層具有至少一開口，該開口貫穿該絕緣層；以及

一導電膠，該導電膠填充於該開口中。

41.如申請專利範圍第 40 項所述之具有導電膠插塞之絕緣層結構，還包括至少一凸塊，分別配置在該開口中，而該導電膠與該凸塊電性連接。

42.如申請專利範圍第 41 項所述之具有導電膠插塞之絕緣層結構，其中該些凸塊的材質係為錫鉛合金。

43.如申請專利範圍第 41 項所述之具有導電膠插塞之絕緣層結構，其中該些凸塊的材質係為鎳金合金。

44.如申請專利範圍第 41 項所述之具有導電膠插塞之絕緣層結構，其中該些凸塊的材質係為金。

45.如申請專利範圍第 41 項所述之具有導電膠插塞之絕緣層結構，其中該些凸塊的材質係為錫銀銅合金。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

46.如申請專利範圍第 41 項所述之具有導電膠插塞之絕緣層結構，其中該些凸塊的材質係為錫鉍合金。

47.如申請專利範圍第 40 項所述之具有導電膠插塞之絕緣層結構，其中該絕緣層係為聚醯亞胺。

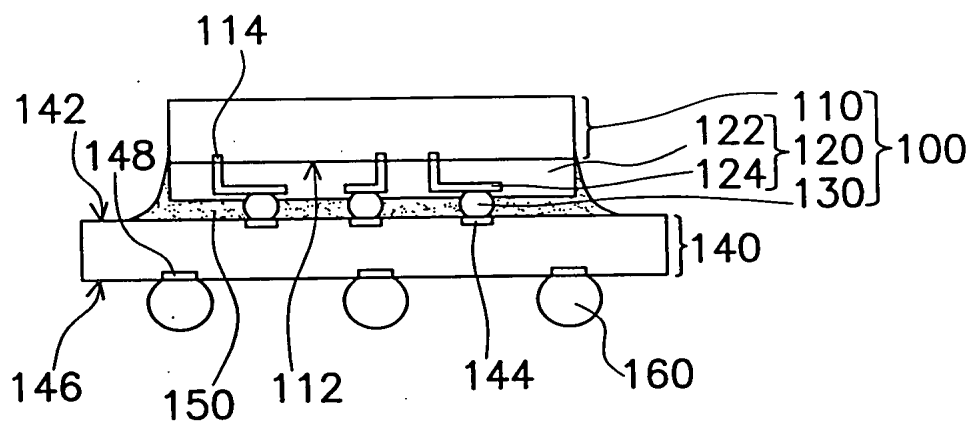
48.如申請專利範圍第 40 項所述之具有導電膠插塞之絕緣層結構，其中該絕緣層係為環氧樹脂。

(請先閱讀背面之注意事項再填寫本頁)

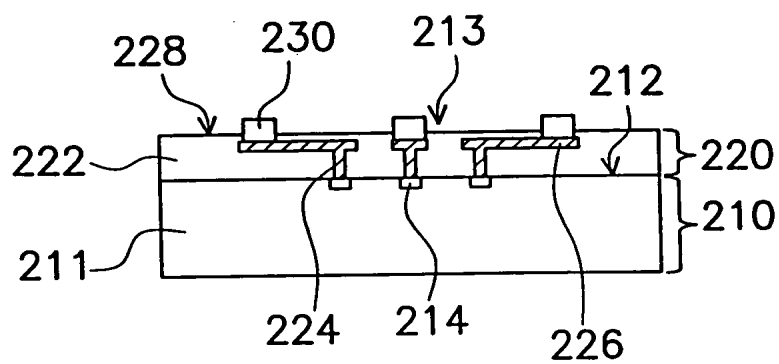
裝

訂

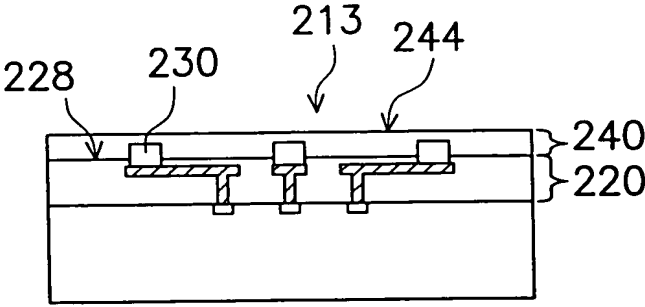
線



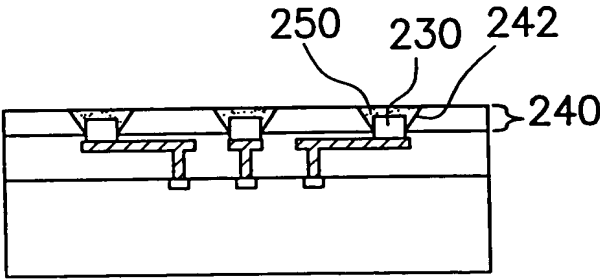
第 1 圖



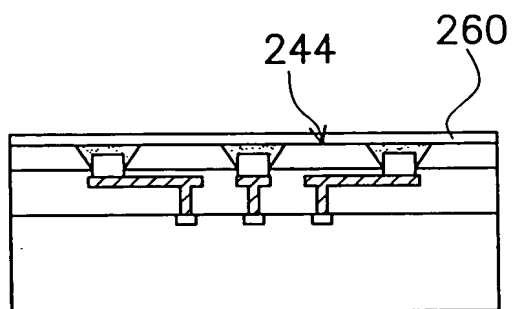
第 2 圖



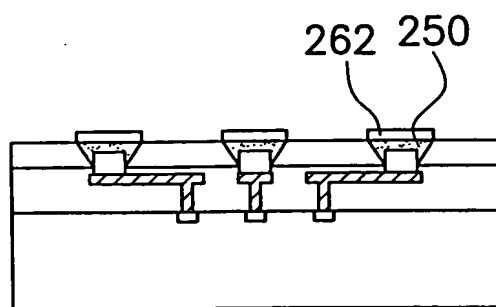
第 3 圖



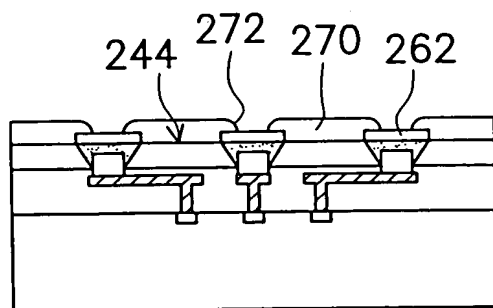
第 4 圖



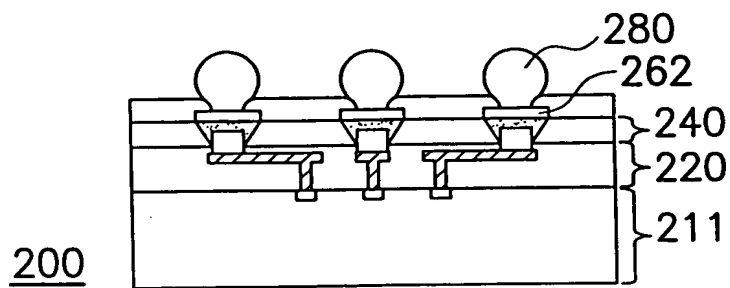
第 5 圖



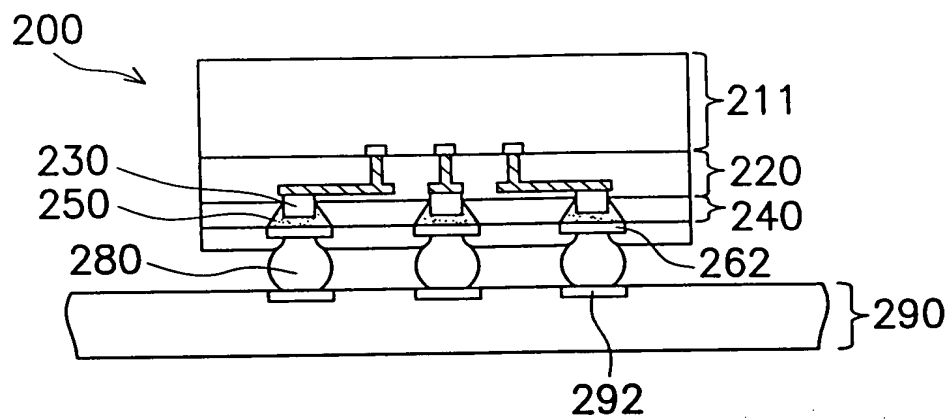
第 6 圖



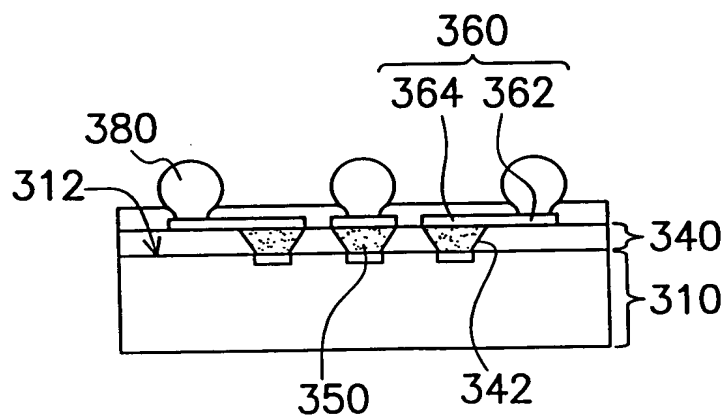
第 7 圖



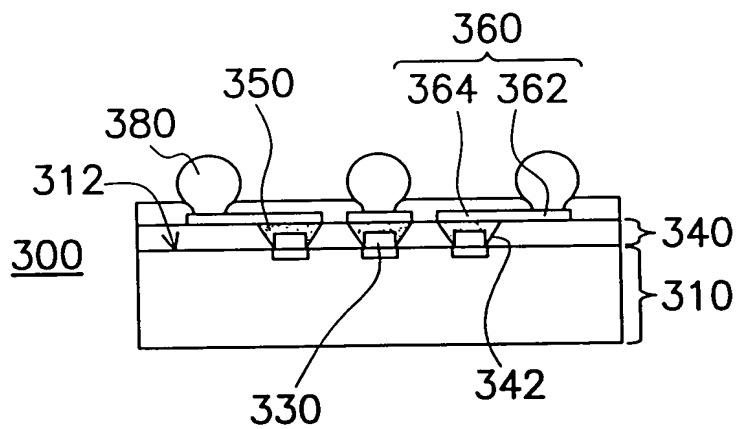
第 8 圖



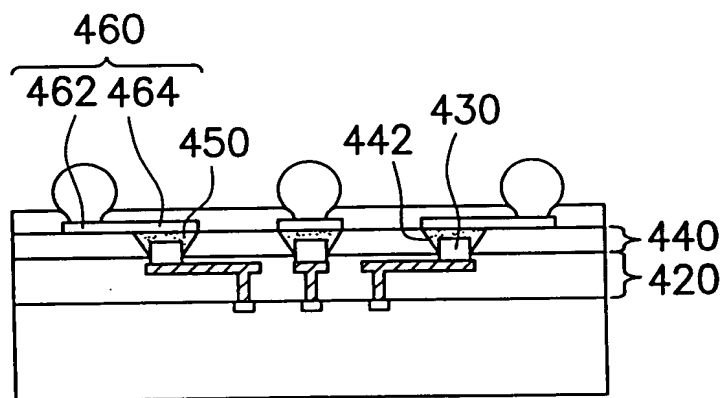
第 9 圖



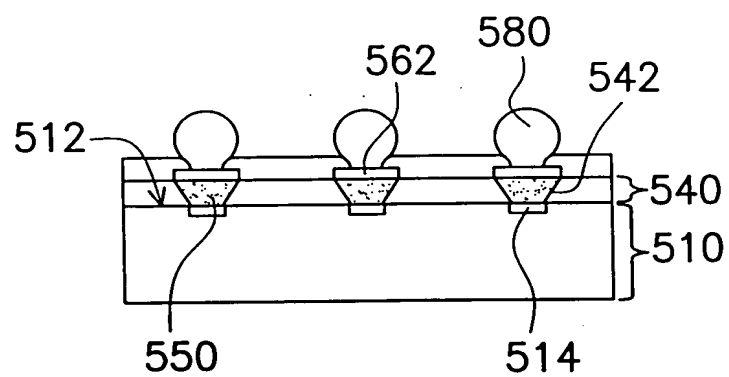
第 10 圖



第 11 圖



第 12 圖



第 13 圖